

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03257586 A

(43) Date of publication of application: 18.11.91

(51) Int. Cl

G06F 15/60  
G06F 11/26

(21) Application number: 02057016

(71) Applicant: NEC CORP

(22) Date of filing: 07.03.90

(72) Inventor: SHIMONO TAKESHI

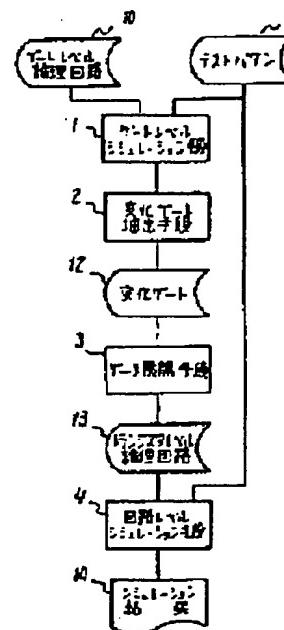
(54) TIMING SIMULATION SYSTEM FOR LOGIC CIRCUIT

(57) Abstract:

PURPOSE: To attain the detailed timing simulation with high efficiency even to a logic circuit of a large scale by obtaining previously such a gate that changes with simulation of the gate level and applying the detailed circuit simulation at a transistor level to the changing gate only.

CONSTITUTION: A gate level simulation means 1 simulates the working of a circuit at a gate level after input of a gate level logic circuit 10 and a test pattern 11. Then a changed gate extraction means 2 obtains a gate 12 where the output signal value is changed. In this case, a changed gate is obtained for only such a pattern that requires a detailed timing analysis. Then a gate evolving means 3 evolves the extracted gate 12 into a transistor level logic circuit 13. Thus a circuit level simulation means 4 performs the detailed timing simulation after input of the circuit 13 and the pattern 11. Thus it is possible to attain the detailed timing simulation with high accuracy even to a logic circuit of a large scale.

COPYRIGHT: (C)1991,JPO&Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A) 平3-257586

⑫ Int.CI.

G 06 F 15/60  
11/26

識別記号 360 D

310 7922-5L  
7230-5B

⑬ 公開 平成3年(1991)11月18日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 論理回路のタイミングシミュレーション方式

⑮ 特願 平2-57016

⑯ 出願 平2(1990)3月7日

⑰ 発明者 下野 武志 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代理人 弁理士 内原 晋

## 明細書

## 発明の名称

論理回路のタイミングシミュレーション方式

## 特許請求の範囲

ゲートレベルの論理回路情報およびその論理回路のテストパターンを入力し、その回路動作をシミュレーションするゲートレベルシミュレーション手段と、そのゲートレベルのシミュレーション結果により回路動作のタイミングを詳細に知る必要のあるパターンにおいて変化したゲートを含める変化ゲート抽出手段と、その変化したゲートのみをトランジスタレベルまで展開するゲート展開手段と、その展開されたトランジスタレベルの論理回路に対して回路レベルのシミュレーションを行う回路レベルシミュレーション手段とを含むことを特徴とする論理回路のタイミングシミュレーション方式。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、論理回路のシミュレーション方式に関し、特に、回路の動作を詳細に解析するタイミングシミュレーション方式に関するもの。

## 〔従来の技術〕

従来、小規模の論理回路に対しては、回路全体をトランジスタレベルに展開し、回路レベルシミュレータを用いて、詳細なタイミングシミュレーションを行なっていた。

また、大規模な論理回路に対しては、素子ディレイや回路ディレイをゲートレベルでモデル化し、ゲートレベルのシミュレータを用いてタイミングシミュレーションを行なっていた。

## 〔発明が解決しようとする課題〕

上述した、従来のタイミングシミュレーション方式のうち、論理回路全体をトランジスタレベルに展開して回路シミュレーションを用いてシミュレーションする方法では、大規模な回路に対して、計算時間が膨大になり実用的でない。

まだ、ディレイをゲートレベルでモデル化してゲートレベルでシミュレーションする方法では、電圧レベルの時間的変化といった詳細なタイミングシミュレーションができないという問題がある。たとえば、EBテスタにおいて、回路内部の信号変化を観測するとき、その信号変化の期待値を求めるには不十分である。

## 〔課題を解決するための手段〕

本発明の論理回路のタイミングシミュレーション方式の構成は、ゲートレベルの論理回路情報およびその論理回路のテストバタンを入力し、その回路動作をシミュレーションするゲートレベルシミュレーション手段と、そのゲートレベルのシミュレーション結果により回路動作のタイミングを詳細に知る必要のあるバタンにおいて変化したゲートを求める変化ゲート抽出手段と、その変化したゲートのみをトランジスタレベルまで展開するゲート展開手段と、その展開されたトランジスタレベルの論理回路に対して回路レベルのシミュレーションを行う回路レベルシミュレーション手

段とを含むことを特徴とする。

## 〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の実行順に各手段を表わしたブロック図である。

この図において、本発明の論理回路のタイミングシミュレーション方式では、まずゲートレベル論理回路10とテストバタン11を入力して、ゲートレベルシミュレーション手段1により回路動作をゲートレベルでシミュレーションする。

次に、変化ゲート抽出手段2により出力信号値の変化したゲート12を求める。このとき、全テストバタンについて求めるのではなく、詳細にタイミング解析を行う必要のあるバタンについてのみ変化したゲートを求める。ここで抽出された変化ゲート12について、ゲート展開手段3によりゲートをトランジスタレベルの回路13に展開する。

最後に、トランジスタレベルの論理回路13と

テストバタン11を入力して回路レベルシミュレーション手段4により詳細にタイミングシミュレーションを行い、シミュレーション結果14を表示する。

第2図は本発明を適用する論理回路の一例のゲートレベルの回路図、第3図はこの回路に対するテストバタンの一例とその入力バタンに対するゲートレベルのシミュレーション結果である。これらを用いて、本発明のタイミングシミュレーション方式について具体的に説明する。

今、第3図のバタン番号P3のバタンに対して詳細にタイミング解析を行う必要があるとする。ゲートレベルのシミュレーション結果から、バタン番号P3のバタンにおいて変化したゲートはG5、G7だけであることがわかり、これが変化ゲート抽出手段2により抽出される。

第1図のゲート展開手段3では、このゲートG5とG7だけをトランジスタレベルの回路に展開する。

第4図は展開後の回路図であり、このとき、実

化していないゲートは回路から除かれている。たとえば、ゲートG7の入力の一方のF2は第2図のアリップアロップF/Fからの信号であるが、第3図のバタン番号P3においては‘1’で変化していないため、‘1’にクランプしている信号として扱われる。こうして作成されたトランジスタレベルの回路に対して、第1図の回路レベルシミュレーション手段4を用いて詳細にタイミング解析を行う。その結果、第5図に示すようなシミュレーション結果が得られる。

## 〔発明の効果〕

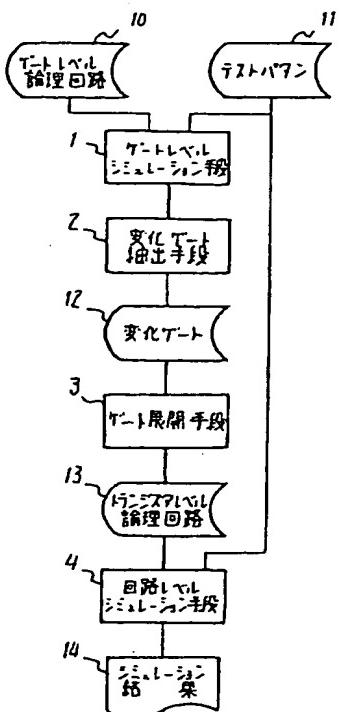
以上説明したように本発明は、あらかじめゲートレベルのシミュレーションにより変化するゲートを求めておき、変化するゲートについてのみトランジスタレベルの詳細な回路シミュレーションを行うことにより、大規模な論理回路に対しても効率よく詳細なタイミングシミュレーションを行なうことができるという効果がある。

## 図面の簡単な説明

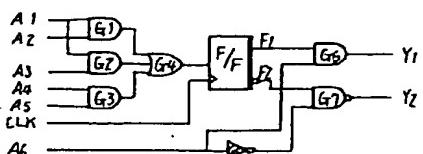
第1図は本発明の一実施例の実行順に各手段を示したブロック図。第2図は本発明を適用する論理回路の一例のゲートレベルの回路図、第3図は入力パタンとゲートレベルのシミュレーション結果を示す図、第4図はトランジスタレベルに展開した回路図、第5図はタイミングシミュレーション結果を示す図である。

1…ゲートレベルシミュレーション手段、2…変化ゲート抽出手段、3…ゲート展開手段、4…回路レベルシミュレーション手段、10…ゲートレベル論理回路、11…テストパタン、12…変化ゲート、13…トランジスタレベル論理回路、14…シミュレーション結果。

代理人 弁理士 内原晋



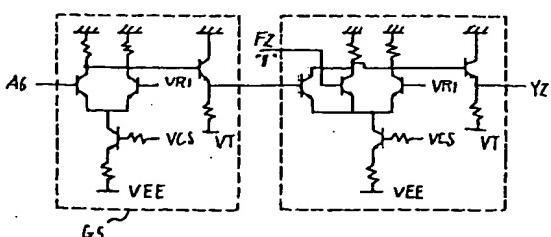
第1図



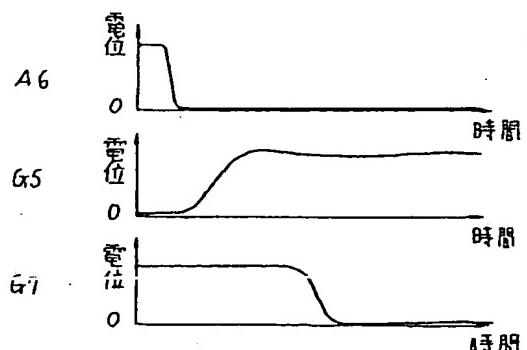
第2図

| パタン番号 | 入力パタン                 | ゲートレベルシミュレーション結果           |
|-------|-----------------------|----------------------------|
|       | A1 A2 A3 A4 A5 A6 CLK | G1 G2 G3 G4 G5 G6 G7 F1 F2 |
| P1    | 0 1 0 1 0 1 0         | 0 0 0 0 0 X X X X          |
| P2    | 0 1 0 1 0 1 1         | 0 0 0 0 0 0 1 0 1          |
| P3    | 0 1 0 1 0 0 0         | 0 0 0 0 1 0 0 0 1          |

第3図



第4図



第5図